



kingston.com/emmc

DRAM

DRAM DDR4 de Kingston para aplicaciones integradas

Las DRAM DDR4 internas de Kingston han sido diseñadas para satisfacer las necesidades de aplicaciones integradas y ofrecer una opción de alta velocidad con un menor consumo eléctrico.

SEGMENTOS DE MERCADO



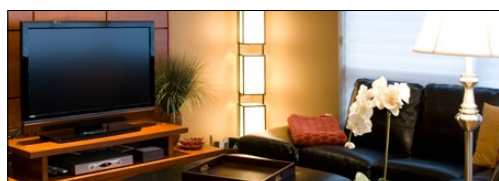
IdC industrial/robótica y automatización industrial



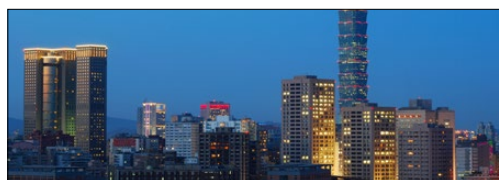
Redes 5G/módulos de telecomunicaciones (enrutadores wifi y dispositivos de malla)



Equipos de oficina, dispositivos médicos, cajeros automáticos, máquinas de venta automática



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, IPTV, camas, grifos)



Ciudades inteligentes (medición/seguimiento de climatización, iluminación, consumo eléctrico, parquímetros)

NÚMEROS DE REFERENCIA Y ESPECIFICACIONES DE DDR4

Número de referencia	Capacidad	Descripción	Paquete	Configuración (palabras x bits)	Velocidad, Mbps	VDD, VDDQ	Temperatura de servicio
D5116AN9CXGRK	8Gb	DDR4 C-Temp FBGA de 96 bolas	7.5x13x1.2	512Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGXN	8Gb	DDR4 C-Temp FBGA de 96 bolas	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	0°C +95°C
D2516ACXGXGRK	4Gb	DDR4 C-Temp FBGA de 96 bolas	7.5x13x1.2	256Mx16	2666 Mbps	1.2V	0°C +95°C
D5116AN9CXGXNI	8Gb	DDR4 CI-Temp FBGA de 96 bolas	7.5x13x1.2	512Mx16	3200 Mbps	1.2V	-40°C +95°C
D1028AN9CPGXNI	8Gb	DDR4 I-Temp FBGA de 78 bolas	7.5x13x1.2	512Mx8	3200 Mbps	1.2V	-40°C +95°C

PRINCIPALES CARACTERÍSTICAS

- Arquitectura de doble velocidad de datos: dos transferencias de datos por ciclo de reloj
- Las transferencias de datos a alta velocidad se efectúan a través de una arquitectura canalizada predireccionada de 8 bits
- Los datos estroboscópicos diferenciales bidireccionales (DQS y /DQS) se transmiten/reciben con datos para captar los datos en el receptor
- DQS está alineado en la periferia con datos de LECTURAS, y alineado en el centro con datos de ESCRITURAS
- Entradas de reloj diferenciales (CK t y CK c)
- DLL se alinea con DQ, y las transiciones de DQS con las transiciones de CK
- Máscara de datos (DM) para datos de escritura en los bordes ascendente y descendente del estrobo de datos
- Admite código de redundancia de ciclo (CRC) de escritura
- Compatibilidad con preámbulo programable para lectura y escritura
- Longitud de ráfaga programable 4/8 tanto en modo nibble secuencial como en modo intercalado
- Sustitución de BL sobre la marcha
- Solidez del controlador seleccionada por MRS
- Compatible con terminación dinámica interna
- Dos estados de terminación, como RTT PARK y RTT NOM, modificables mediante patilla ODT
- Compatible con patilla RESET asíncrona
- Compatible con calibración ZQ
- Compatible con nivelación de escritura
- Este producto es compatible con la Directiva RdSP
- Disponibilidad de generación de nivel DQ Vref interno
- Compatibilidad con el modo TCAR (Actualización automática controlada por temperatura).
- Compatibilidad con modo LP ASR (Autoactualización a baja potencia)
- Compatibilidad con el modo de paridad de dirección de comando (CA) (comando/dirección)
- Direccionabilidad por DRAM (PDA)
- Compatible con actualización de granularidad fina
- Compatibilidad con modo Geardown (1/2 velocidad, 1/4 velocidad)
- Compatibilidad con interrupción de actualización automática
- Compatibilidad con el modo de ahorro máximo de potencia
- Aplicación de agrupación de bancos, y disponibilidad de latencia CAS a CAS (tCCD L, tCCD S) para acceso a los bancos del mismo o de diferente grupo de bancos
- Admite patilla DMI para enmascaramiento de datos de escritura y funcionalidad DBI_{dc}

