



kingston.com/emmc

DRAM

Kingston DDR4 DRAM für Embedded-Anwendungen

Der integrierte DDR4-DRAM von Kingston wurde speziell für die Anforderungen von Embedded-Anwendungen entwickelt und bietet eine Hochgeschwindigkeitsoption mit geringerem Stromverbrauch.

MARKTSEGMENTE



Industrielles IoT / Robotik & Fabrikautomation



5G Netzwerk-/Telekommunikations-Kommunikationsmodule (WiFi-Router und Mesh-Geräte)



Übergeräte, Medizinische Geräte, ATM, Verkaufsautomaten



Smart Home (Soundbars, Thermostate, Fitnessgeräte, Staubsauger, IPTVs, Betten, Wasserhähne)



Smart City (HVAC, Beleuchtung, Stromüberwachung/-messung, Parkuhren)

DDR4-TEILENUMMERN UND SPEZIFIKATIONEN

Artikelnummer	Kapazität	Beschreibung	Verpackung	Konfiguration (Wörter x Bits)	Geschwindigkeit Mbps	VDD, VDDQ	Betriebstemperatur
D5116AN9CXGXN	8Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.1	512Mx16	3200 Mbps	1.2V	0°C ~ +95°C
D2516ACXGXGRK	4Gb	96 ball FBGA DDR4 C-Temp	7.5x13x1.1	256Mx16	2666 Mbps	1.2V	0°C ~ +95°C
D2516AN9EXGXNI-U	4Gb	96 ball FBGA DDR4 I-Temp	7.5x13x1.1	256Mx16	3200Mbps	1.2V	-40°C ~ +95°C
D5116AN9CXGXNI	8Gb	96 ball FBGA DDR4 I-Temp	7.5x13x1.1	512Mx16	3200 Mbps	1.2V	-40°C ~ +95°C
D1028AN9CPGXNI	8Gb	78 ball FBGA DDR4 I-Temp	7.5x13x1.1	512Mx8	3200 Mbps	1.2V	-40°C ~ +95°C
D5116AN9CXGXNY-U	8Gb	96 ball FBGA DDR4 Auto-Temp	7.5x13x1.1	512Mx16	3200 Mbps	1.2V	-40°C ~ +105°C

HAUPTMERKMALE

- Double-Data-Rate-Architektur: zwei Datenübertragungen pro Taktzyklus
- Die Hochgeschwindigkeitsdatenübertragung wird durch die 8-Bit-Prefetch-Pipeline-Architektur realisiert
- Bidirektionales differentielles Daten-Strobe (DQS und /DQS) wird zusammen mit Daten gesendet/empfangen, um Daten am Empfänger zu erfassen
- DQS ist bei READs mit den Daten flankenausgerichtet; bei WRITEs mit den Daten zentriert
- Differentialtaktengänge (CK_t und CK_c)
- DLL gleicht DQ- und DQS-Übergänge mit CK-Übergängen ab
- Datenmaske schreibt Daten sowohl bei steigenden als auch fallenden Flanken des Datenimpuls
- Write Cycle Redundancy Code (CRC) wird unterstützt
- Programmierbare Präambel für Lesen und Schreiben wird unterstützt
- Programmierbare Burst-Länge 4/8, sowohl im Nibble-Sequential- als auch im Interleave-Modus
- BL-Schalter im laufenden Betrieb
- Von MRS ausgewählte Treiberstärke
- Dynamic On Die Termination unterstützt
- Zwei Abbruchzustände wie RTT_PARK und RTT_NOM schaltbar über ODT-Pin
- Asynchroner RESET-Pin unterstützt
- ZQ-Kalibrierung unterstützt
- Write Levelization unterstützt
- Dieses Produkt entspricht der RoHS-Richtlinie
- Interne Vref DQ-Pegelerzeugung ist verfügbar
- Der TCAR-Modus (Temperature Controlled Auto Refresh) wird unterstützt.
- LP ASR (Low Power Auto Self Refresh) Modus wird unterstützt
- Befehlsadresse (CA) Paritätsmodus (Befehl/Adresse) wird unterstützt
- Adressierbarkeit pro DRAM (PDA)
- Aktualisierung mit feiner Granularität wird unterstützt
- Geardown-Modus (1/2 Rate, 1/4 Rate) wird unterstützt
- Self Refresh Abort wird unterstützt
- Maximaler Energiesparmodus wird unterstützt
- Banks Grouping wird angewendet, und die CAS-zu-CAS-Latenz (tCCD_L, tCCD_S) für die Bänke in der gleichen oder in verschiedenen Bankgruppen ist verfügbar
- DMI-Pin-Unterstützung für Schreibdatenmaskierung und DBI dc-Funktionalität

