



kingston.com/emmc

DRAM

Kingston DRAM DDR3/3L para aplicaciones integradas

Las DRAM incorporadas de Kingston han sido diseñadas para satisfacer las necesidades de aplicaciones integradas y ofrecer una opción de baja tensión para un menor consumo eléctrico.

SEGMENTOS DE MERCADO



IdC industrial/robótica y automatización industrial



Módulos de telecomunicaciones/redes 5G (enrutadores wifi y dispositivos de malla)



Ponibles (relojes inteligentes, monitores de salud, AR y VR)



Hogares inteligentes (barras de sonido, termostatos, equipos de gimnasia, aspiradoras, camas, grifos)



Ciudades inteligentes (medición/seguimiento de climatización, iluminación, consumo eléctrico, parquímetros)

Números de referencia y especificaciones de las DRAM DDR3/3L

Número de referencia	Capacidad	Descripción	Paquete	Configuración (palabras x bits)	Velocidad, Mbps	VDD, VDDQ	Temperatura de servicio
D1216ECMDXGJD	2 GB	DDR3/3L FBGA de 96 bolas	7,5 x 13,5 x 1,2	128Mx16	1866 Mbps	1,35 V*	0 °C ~ +95 °C
D2516ECMDXGJD	4 GB	DDR3/3L FBGA de 96 bolas	7,5 x 13,5 x 1,2	256Mx16	1866 Mbps	1,35 V*	0 °C ~ +95 °C
D5128ECMDPGJD	4 GB	DDR3/3L FBGA de 78 bolas	7,5 x 10,6 x 1,2	512Mx8	1866 Mbps	1,35 V*	0 °C ~ +95 °C
D2516ECMDXGME	4 GB	DDR3/3L FBGA de 96 bolas	7,5 x 13,5 x 1,2	256Mx16	2133 Mbps	1,35 V*	0 °C ~ +95 °C
B5116ECMDXGJD-U	8 GB	DDR3/3L FBGA de 96 bolas	9 x 13,5 x 1,2	512Mx16	1866 Mbps	1,35 V*	0 °C ~ +95 °C

*Retrocompatible con VDD, VDDQ de 1,5 V

PRINCIPALES CARACTERÍSTICAS

- Arquitectura de doble velocidad de datos (DDR): dos transferencias de datos por ciclo de reloj
- Las transferencias de datos de alta velocidad se efectúan a través de una arquitectura canalizada predireccionada de 8 bits
- Los datos estroboscópicos diferenciales bidireccionales (DOS y /DQS) se transmiten/reciben con datos para captar los datos en el receptor
- DOS está alineado en la periferia con datos de LECTURAS, y alineado en el centro con datos de ESCRITURAS
- Entradas de reloj diferenciales (CK y /CK)
- DLL se alinea con DQ, y las transiciones de DOS con las transiciones de CK
- Los comandos se introducen en cada periferia positiva de CK; los datos y las máscaras de datos están referenciados a ambos bordes de DQS
- Máscara de datos (DM) para datos de escritura
- /CAS publicado mediante latencia aditiva programable para una mejor eficiencia de comandos y de bus de datos
- Terminación en matriz (ODD) para una mejor calidad de la señal
 - o ODT síncrona
 - o CDT dinámica
 - o ODT asíncrona
- Registro polivalente (MPR) para lectura de patrones predefinidos
- Calibración ZQ de unidad DQ y ODT
- Actualización automática de matriz parcial programable (PASR)
- Patilla RESET para secuencia de arranque y función de restablecimiento
- Gama SRT: normal/extendida
- Control de impedancia de controlador de salida programable

