



kingston.com/emmc

DRAM

Kingston DDR3/3L-DRAM für Embedded-Anwendungen

Kingstons On-Board DRAM wurden für die Anforderungen von Embedded-Anwendungen konzipiert und zeichnet sich bei seiner Low-Voltage-Option durch einen geringen Stromverbrauch aus.

MARKTSEGMENTE



Industrielles IoT / Robotik und Fabrikautomation

5G-Netzwerke / Telekommunikationsmodule
(WLAN-Router und Mesh-Geräte)Wearables (Smart Watches,
Gesundheitsüberwachungsgeräte, AR und VR)Smart Home (Soundbars, Thermostate, Fitnessgeräte,
Staubsauger, Betten, Wasserhähne)Smart City (HLK, Beleuchtung, Stromüberwachung /
-messung, Parkuhren)

DDR3/3L Artikelnummern und technische Daten

Artikel-nummer	Kapazität	Bezeichnung	Abmessungen	Konfiguration (Wörter x Bits)	Geschwindigkeit Mbit/s	VDD, VDDQ	Betriebstemperatur
D1216ECMDXGJD	2Gb	96-Ball FBGA DDR3/3L	7,5x13,5x1,2	128Mx16	1866 Mbit/s	1,35V*	0°C bis +95°C
D2516ECMDXGJD	4Gb	96-Ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	1866 Mbit/s	1,35V*	0°C bis +95°C
D5128ECMDPJD	4Gb	78-Ball FBGA DDR3/3L	7,5x10,6x1,2	512Mx8	1866 Mbit/s	1,35V*	0°C bis +95°C
D2516ECMDXGME	4Gb	96-Ball FBGA DDR3/3L	7,5x13,5x1,2	256Mx16	2133 Mbit/s	1,35V*	0°C bis +95°C
B5116ECMDXGJD-U	8Gb	96-Ball FBGA DDR3/3L	9x13,5x1,2	512Mx16	1866 Mbit/s	1,35V*	0°C bis +95°C

*Abwärtskompatibel mit 1,5V VDD, VDDQ

HAUPTMERKMALE

- Double Data Rate (DDR)-Architektur: zwei Datenübertragungen pro Taktzyklus
- Hochgeschwindigkeits-Datentransfers werden durch 8-Bit-Prefetch-Pipeline-Architektur ermöglicht
- Bidirektionaler differentieller Datenstrobe (DOS und /DQS) wird mit Daten gesendet/empfangen, um Daten am Empfänger zu erfassen
- DOS ist bei LESEVORGÄNGEN flankenbündig mit den Daten, bei SCHREIBVORGÄNGEN mittig mit den Daten abgeglichen
- Differenzielle Takteingänge (CK und /CK)
- DLL gleicht DQ- und DOS-Übergänge mit CK-Übergängen ab
- Befehle werden bei jeder positiven CK-Flanke eingegeben. Daten und Datenmaske beziehen sich auf beide Flanken von DQS
- Datenmaske (DM) für das Schreiben von Daten
- Posted/CAS durch programmierbare additive Latenz für bessere Befehls- und Datenbuseffizienz
- On-Die-Termination (ODT für bessere Signalqualität)
 - o Synchrone ODT
 - o Dynamische CDT
 - o Asynchrone ODT
- Mehrzweckregister (MPR) zum Auslesen vordefinierter Muster
- ZQ-Kalibrierung für DO-Laufwerk und ODT
- Programmierbare partielle Array-Selbstauffrischung (PASR)
- RESET-Pin für Einschalt-Sequenz und Reset-Funktion
- SRT-Bereich: normal/erweitert
- Programmierbare Impedanzsteuerung des Ausgangstreibers